

METHOD AND DEVICE FOR INPUT INFORMATION INPUT SYSTEM

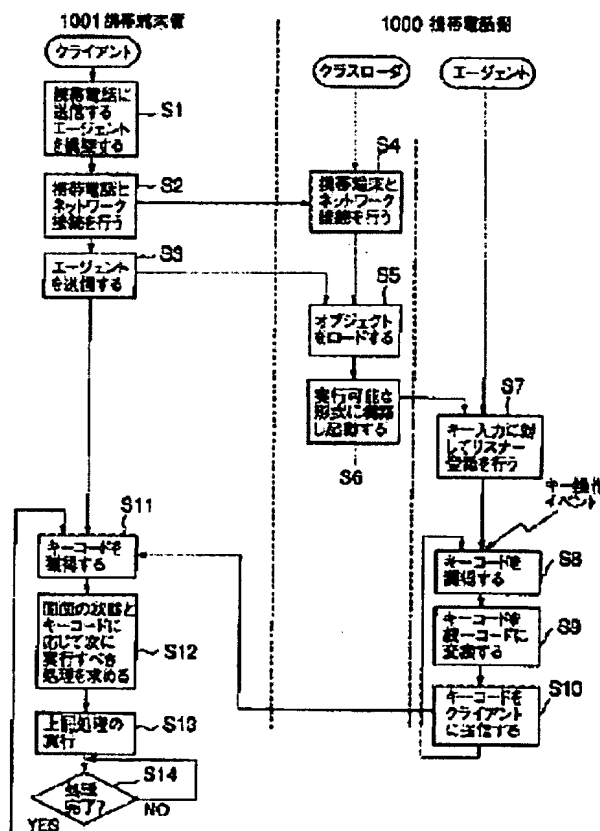
Patent number: JP2001273213
Publication date: 2001-10-05
Inventor: YOSHIDA YUICHI
Applicant: OLYMPUS OPTICAL CO
Classification:
- international: G06F3/00; G06F3/14; G06F13/00; G06F3/00;
G06F3/14; G06F13/00; (IPC1-7): G06F13/00; G06F3/00;
G06F3/14
- european:
Application number: JP20000082791 20000323
Priority number(s): JP20000082791 20000323

Report a data error here

Abstract of JP2001273213

PROBLEM TO BE SOLVED: To provide an input method in an information input system, with which the entire system can be made light in weight and compact and further, the reduction of production costs can be attained.

SOLUTION: Concerning the input method in the information input system, in which separately existent input part and display part are connected through a communication route, this method is provided with a process for transmitting an agent program from the display part to the input part, process for converting the contents of button operation or mouse operation performed by the input part to a prescribed data stream, process for transmitting the data stream converted in the conversion process to the display part, process for judging the state of a picture displayed on the display part, and process for switching into operation contents on the display part corresponding to the data stream transmitted from the input part according to the picture state judged in the judgement process.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82791

(P2000-82791A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
G 1 1 C 11/14		G 1 1 C 11/14	A
H 0 1 F 10/06		H 0 1 F 10/06	
H 0 1 L 43/08		H 0 1 L 43/08	Z

審査請求 有 請求項の数44 O L (全 20 頁)

(21) 出願番号 特願平11-198532

(22) 出願日 平成11年7月13日 (1999.7.13)

(31) 優先権主張番号 09/129827

(32) 優先日 平成10年8月5日 (1998.8.5)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外1名)

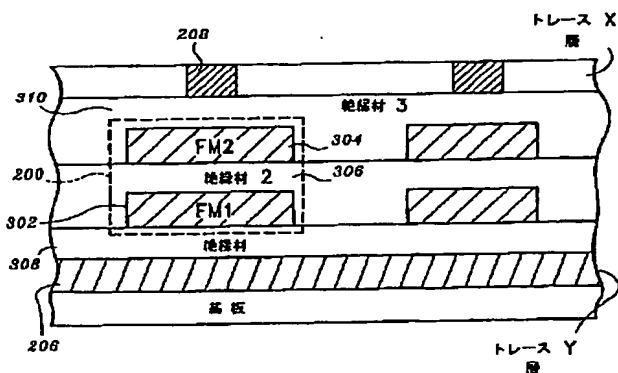
最終頁に続く

(54) 【発明の名称】 不揮発性磁気メモリ・セルおよび装置

(57) 【要約】

【課題】 改良されたMTJセル構造およびメモリ装置アーキテクチャを提供する。

【解決手段】 メモリおよび論理切り換え用途に使用するための磁気トンネル接合セルが、第一の強磁性層と、第二の強磁性層と、第一および第二の強磁性層の間に介挿されて磁気トンネル接合素子を形成する絶縁層とで形成される。セルはさらに、第一の方向に並べられ、第一の強磁性層に隣接して位置する第一の導体セグメントと、第一の方向に対して実質的に直交する第二の方向に並べられ、第二の強磁性層に隣接して位置する第二の導体セグメントとを有する書き込み導体を含む。書き込み導体は、モノポーラ書き込み電圧および唯一の単一ポート書き込み端子を使用して双方向電流を書き込み導体中に発生させることを可能にする容量性構造によって終端される。双方向電流は、第一の電流方向で高インピーダンス状態をセルに書き込み、第二の電流方向で低インピーダンス状態をセルに書き込む。



1

【特許請求の範囲】

【請求項 1】第一の強磁性層と、

第二の強磁性層と、

前記第一および第二の強磁性層の間に介挿された絶縁層と、

第一の方向に並べられ、前記第一の強磁性層に隣接する第一の導体セグメントと、前記第一の方向に対して実質的に直交する第二の方向に並べられ、前記第二の強磁性層に隣接する第二の導体セグメントとを含む書き込み導体と、

前記第一および第二の導体セグメントを終端させ、書き込み信号の存在で双方向電流を前記導体信号中に可能にする回路構造と、を含むことを特徴とする磁気トンネル接合セル。

【請求項 2】前記第一および第二の強磁性層が半金属強磁性材料で形成されている請求項 1 記載の磁気トンネル接合セル。

【請求項 3】前記回路構造が容量性素子である請求項 2 記載の磁気トンネル接合セル。

【請求項 4】前記回路構造が分圧回路であり、前記書き込み信号が 3 値状態信号である請求項 2 記載の磁気トンネル接合セル。

【請求項 5】前記回路構造が、

正電位に結合された第一のトランジスタと、

前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる請求項 2 記載の磁気トンネル接合セル。

【請求項 6】前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (D はアルカリ土類元素である) の形態をとる水マンガン鉱および X_2MnY (X は、 Co 、 Ni 、 Cu および Pd のいずれかであり、Y は、 Al 、 Sn 、 In および Sb のいずれかである) の形態のホイスラー合金を含む群より選択される請求項 2 記載の磁気トンネル接合セル。

【請求項 7】実質的に直交する方向に延びて複数の交差点を形成する複数のビット線および複数のワード線を有する磁気ランダム・アクセス・メモリ装置であって、前記複数の交差点に対応する複数の磁気トンネル接合セルを含み、

前記セルが、

第一の強磁性層と、

第二の強磁性層と、

前記第一および第二の強磁性層の間に介挿された絶縁層と、

(2)

特開 2000-82791

2

第一の方向に並べられ、前記第一の強磁性層に隣接する第一の導体セグメントと、前記第一の方向に対して実質的に直交する第二の方向に並べられ、前記第二の強磁性層に隣接する第二の導体セグメントとを含む書き込み導体と、

前記第一および第二の導体セグメントを終端させ、受けた書き込み信号に応答して双方向電流を前記導体セグメント中に可能にする回路構造と、

10 前記書き込み導体を対応するビット線およびワード線に結合する第一のトランジスタと、

前記対応するワード線を前記第一の強磁性層に結合する第二のトランジスタと、

前記第二の強磁性層と、対応する出力ビット線との間に介挿された感度増幅器と、を含むことを特徴とする磁気メモリ装置。

【請求項 8】前記第一および第二の強磁性層が半金属強磁性材料で形成されている請求項 7 記載の磁気メモリ装置。

20 【請求項 9】前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (D はアルカリ土類元素である) の形態をとる水マンガン鉱および X_2MnY (X は、 Co 、 Ni 、 Cu および Pd のいずれかであり、Y は、 Al 、 Sn 、 In および Sb のいずれかである) の形態のホイスラー合金を含む群より選択される請求項 8 記載の磁気メモリ装置。

【請求項 10】前記回路構造が容量性素子である請求項 8 記載の磁気メモリ装置。

30 【請求項 11】前記回路構造が分圧回路であり、前記書き込み信号が 3 値状態信号である請求項 8 記載の磁気メモリ装置。

【請求項 12】前記回路構造が、

正電位に結合された第一のトランジスタと、

40 前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる請求項 8 記載の磁気メモリ装置。

【請求項 13】互いに対して実質的に並行であり、第一の平面上に位置する複数の 3 値状態ビット線と、

互いに対して実質的に並行であり、第二の平面上に位置し、前記ビット線に対して実質的に直交する方向に延びて複数の交差点を形成する複数の 3 値状態ワード線と、前記ワード線および前記ビット線それぞれを終端させ、受けた書き込み信号に応答して双方向電流を可能にする複数の回路構造と、

50 前記複数の交差点に対応し、前記第一の平面と前記第二

3

の平面との間に介挿された複数の磁気トンネル接合セルであって、
 第一の強磁性層と、
 第二の強磁性層と、
 前記第一および第二の強磁性層の間に介挿された絶縁層と、を含むセルと、
 読み取りサイクル中に前記セルを前記対応するワード線およびビット線に結合するための手段と、を含み、前記セルの状態が、電流を前記対応するビット線およびワード線に通すことによって書き込まれ、前記セルが、前記結合手段を動作可能にして前記セルから読み取り信号を検出することによって読み取られることを特徴とする磁気ランダム・アクセス・メモリ装置。

【請求項 14】前記第一および第二の強磁性層が半金属強磁性材料で形成されている請求項 13 記載の磁気メモリ装置。

【請求項 15】前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (D はアルカリ土類元素である) の形態をとる水マンガン鉱および X_2MnY (X は、Co、Ni、Cu および Pd のいずれかであり、Y は、Al、Sn、In および Sb のいずれかである) の形態のホイスラー合金を含む群より選択される請求項 14 記載の磁気メモリ装置。

【請求項 16】前記回路構造が容量性素子である請求項 14 記載の磁気メモリ装置。

【請求項 17】前記回路構造が分圧回路である請求項 14 記載の磁気メモリ装置。

【請求項 18】前記回路構造が、
 正電位に結合された第一のトランジスタと、
 前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる請求項 14 記載の磁気メモリ装置。

【請求項 19】入力端子、出力端子および第一の書き込み導体入力端子を有する第一の半金属磁気トンネル接合セルであって、前記書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有し、前記オン状態が、前記入力端子と前記出力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第一の半金属磁気トンネル接合セルと、
 入力端子、出力端子および第二の書き込み導体入力端子を有する第二の半金属磁気トンネル接合セルであって、前記書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有し、前記オン

(3)

特開 2000-82791

4

状態が、前記入力端子と前記出力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第二の半金属磁気トンネル接合セルと、を含み、前記第一および第二の書き込み導体入力端子が論理入力端子を形成し、前記入力端子と前記出力端子とが結合されて、論理装置出力端子と前記論理入力端子との間に論理機能を実現することを特徴とする磁気論理装置。

【請求項 20】前記入力端子どうしが接続され、さらに正電位に接続され、前記出力端子どうしが接続されて前記論理装置出力端子を形成し、それにより、前記論理機能が論理和機能である請求項 19 記載の磁気論理装置。

【請求項 21】前記第一のセルの前記入力端子が正電位に接続され、前記第一のセルの前記出力端子が前記第二のセルの前記入力端子に結合され、前記第二のセルの前記出力端子が前記論理装置出力端子であり、それにより、前記論理機能が論理積機能である請求項 19 記載の磁気論理装置。

【請求項 22】正電位から前記論理装置出力端子に結合されたプルアップ抵抗をさらに含み、前記入力端子どうしが接続され、さらに大地電位に接続され、前記出力端子どうしが接続されて前記論理装置出力端子を形成し、それにより、前記論理機能が否定論理和機能である請求項 19 記載の磁気論理装置。

【請求項 23】正電位から前記論理装置出力端子に結合されたプルアップ抵抗をさらに含み、前記第一のセルの前記入力端子が大地電位に結合され、前記第一のセルの前記出力端子が前記第二のセルの前記入力端子に結合され、前記第二のセルの前記出力端子が前記論理装置出力端子であり、それにより、前記論理機能が否定論理積機能である請求項 19 記載の磁気論理装置。

【請求項 24】入力端子、出力端子および第三の書き込み導体入力端子を有する第三の半金属磁気トンネル接合セルであって、前記第一および第二のセルに対して前記書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有し、前記オン状態が、前記入力端子と前記出力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第三の半金属磁気トンネル接合セルと、

入力端子、出力端子および第四の書き込み導体入力端子を有する第四の半金属磁気トンネル接合セルであって、前記書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有し、前記オン状態が、前記入力端子と前記出力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第四の半金属磁気トンネル接合セルと、をさらに含み、
 前記第一および第二のセルの前記入力端子どうしが結合されて装置入力端子を形成し、

50

5

前記第一および第二のセルの前記出力端子が互いに、また、前記第三および第四のセルの前記入力端子に結合され、

前記第三および第四のセルの前記入力端子どうしが結合されて前記論理入力端子を形成し、

前記第一のセルの前記書き込み導体と、前記第三のセルの前記書き込み導体とが結合されて第一の論理入力端子を形成し、前記第一のセルの前記書き込み導体が、前記第三のセルの前記書き込み導体に対して反対の向きに配置され、それにより、前記第一の論理端子に印加される信号が前記第一および第三のセルの状態を反対の状態にセットし、

前記第二のセルの前記書き込み導体と、前記第四のセルの前記書き込み導体とが結合されて第二の論理入力端子を形成し、前記第二のセルの前記書き込み導体が、前記第四のセルの前記書き込み導体に対して反対の向きに配置され、それにより、前記第二の論理端子に印加される信号が前記第一および第三のセルの状態を反対の状態にセットする請求項 19 記載の磁気論理装置。

【請求項 25】前記装置出力端子が正電位に結合され、それにより、前記論理機能が排他的論理和機能である請求項 24 記載の磁気論理装置。

【請求項 26】正電位と前記論理出力端子との間にプルアップ抵抗をさらに含み、前記装置入力端子が大地電位に結合され、それにより、前記論理機能が排他的否定論理和機能である請求項 24 記載の磁気論理装置。

【請求項 27】コンピュータ・プロセッサが形成されている第一の基板と、

磁気ランダム・アクセス・メモリが形成されている第二の基板と、を含み、前記第一の基板と前記第二の基板とがフリップチップ集積技術によって結合され、それにより、前記コンピュータ・プロセッサが前記磁気ランダム・アクセス・メモリに機能的に結合されていることを特徴とする不揮発性磁気メモリを有するコンピュータ集積回路。

【請求項 28】前記磁気ランダム・アクセス・メモリが、実質的に直交する方向に延びて複数の交差点を形成する複数のビット線および複数のワード線を含み、前記磁気メモリが、

前記複数の交差点に対応する複数の磁気トンネル接合セルを含み、

前記セルが、

第一の強磁性層と、

第二の強磁性層と、

前記第一および第二の強磁性層の間に介挿された絶縁層と、

第一の方向に並べられ、前記第一の強磁性層に隣接する第一の導体セグメントと、前記第一の方向に対して実質的に直交する第二の方向に並べられ、前記第二の強磁性層に隣接する第二の導体セグメントとを含む書き込み導

(4)

特開 2000-82791

6

体と、

前記第一および第二の導体セグメントを終端させ、受けた書き込み信号に応答して双方向電流を前記導体セグメント中に可能にする回路構造と、

前記書き込み導体を対応するビット線およびワード線に結合する第一のトランジスタと、

前記対応するワード線を前記第一の強磁性層に結合する第二のトランジスタと、

前記第二の強磁性層と、対応する出力ビット線との間に介挿された感度増幅器と、を含む請求項 27 記載のコンピュータ集積回路。

【請求項 29】前記第一および第二の強磁性層が半金属強磁性材料で形成されている請求項 28 記載のコンピュータ集積回路。

【請求項 30】前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (D はアルカリ土類元素である) の形態をとる水マンガニウムおよび X_2MnY (X は、Co、Ni、Cu および Pd のいずれかであり、Y は、Al、Sn、In および Sb のいずれかである) の形態のホイスラー合金を含む群より選択される請求項 29 記載のコンピュータ集積回路。

【請求項 31】前記回路構造が容量性素子である請求項 29 記載のコンピュータ集積回路。

【請求項 32】前記回路構造が分圧回路であり、前記書き込み信号が 3 値状態信号である請求項 29 記載のコンピュータ集積回路。

【請求項 33】前記磁気ランダム・アクセス・メモリが、

互いに実質的に並行であり、第一の平面上に位置する複数の 3 値状態ビット線と、

互いに実質的に並行であり、第二の平面上に位置し、前記ビット線に対して実質的に直交する方向に延びて複数の交差点を形成する複数の 3 値状態ワード線と、

前記ワード線および前記ビット線それぞれを終端させ、受けた書き込み信号に応答して双方向電流を可能にする複数の回路構造と、

前記複数の交差点に対応し、前記第一の平面と前記第二の平面との間に介挿された複数の磁気トンネル接合セルであって、

第一の強磁性層と、

第二の強磁性層と、

前記第一および第二の強磁性層の間に介挿された絶縁層と、を含むセルと、

読み取りサイクル中に前記セルを前記対応するワード線およびビット線に結合するための手段とをさらに含み、前記セルの状態が、電流を前記対応するビット線およびワード線に通すことによって書き込まれ、前記セルが、前記結合手段を動作可能にして前記セルから読み取り信号を検出することによって読み取られる請求項 29 記載のコンピュータ集積回路。

【請求項 3 4】前記第一および第二の強磁性層が半金属強磁性材料で形成されている請求項 3 3 記載のコンピュータ集積回路。

【請求項 3 5】前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (D はアルカリ土類元素である) の形態をとる水マンガン鉱および X_2MnY (X は、Co、Ni、Cu および Pd のいずれかであり、Y は、Al、Sn、In および Sb のいずれかである) の形態のホイスラー合金を含む群より選択される請求項 3 4 記載のコンピュータ集積回路。

【請求項 3 6】前記回路構造が容量性素子である請求項 3 3 記載のコンピュータ集積回路。

【請求項 3 7】前記回路構造が分圧回路である請求項 3 3 記載のコンピュータ集積回路。

【請求項 3 8】前記回路構造が、正電位に結合された第一のトランジスタと、前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる請求項 3 3 記載のコンピュータ集積回路。

【請求項 3 9】実質的に直交する方向に延びて複数の交差点を形成する複数のビット線および複数のワード線を有する磁気ランダム・アクセス・メモリ論理アレイであって、

前記複数の交差点に対応する複数の磁気トンネル接合セルを含み、

前記セルが、

第一の強磁性層と、

第二の強磁性層と、

前記第一および第二の強磁性層の間に介挿された絶縁層と、

第一の方向に並べられ、前記第一の強磁性層に隣接する第一の導体セグメントと、前記第一の方向に対して実質的に直交する第二の方向に並べられ、前記第二の強磁性層に隣接する第二の導体セグメントとを含む書き込み導体と、

前記第一および第二の導体セグメントを終端させ、受けた書き込み信号に応答して双方向電流を前記導体セグメント中に可能にして、対応するセルを低抵抗状態および高抵抗状態のいずれかにセットする回路構造と、を含み、前記複数の磁気トンネル接合セルの少なくとも一部が相互接続されて組み合わせ論理機能を実現し、前記アレイが、セルの前記少なくとも一部の状態および前記組み合わせ論理機能に関連する少なくとも一つの出力信号を有することを特徴とする磁気ランダム・アクセス・メ

モリ論理アレイ。

【請求項 4 0】前記第一および第二の強磁性層が半金属強磁性材料で形成されている請求項 3 9 記載の磁気ランダム・アクセス・メモリ論理アレイ。

【請求項 4 1】前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (D はアルカリ土類元素である) の形態をとる水マンガン鉱および X_2MnY (X は、Co、Ni、Cu および Pd のいずれかであり、Y は、Al、Sn、In および Sb のいずれかである) の形態のホイスラー合金を含む群より選択される請求項 4 0 記載の磁気ランダム・アクセス・メモリ論理アレイ。

【請求項 4 2】前記回路構造が容量性素子である請求項 4 0 記載の磁気ランダム・アクセス・メモリ論理アレイ。

【請求項 4 3】前記回路構造が分圧回路であり、前記書き込み信号が 3 値状態信号である請求項 4 0 記載の磁気ランダム・アクセス・メモリ論理アレイ。

【請求項 4 4】前記回路構造が、

正電位に結合された第一のトランジスタと、

前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる請求項 4 0 記載の磁気ランダム・アクセス・メモリ論理アレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に磁気記憶装置に関し、より具体的には、不揮発性磁気メモリ・セルならびに同メモリ・セルを使用するメモリおよび論理切り換え装置に関する。

【0002】

【従来の技術】コンピュータ・メモリ用のメモリ・セルに望まれる特性は、高速、低消費電力、不揮発性および低コストである。低コストは一般に簡単な作製方法および高いセル密度の使用によって達成される。ダイナミック・ランダム・アクセス・メモリ (DRAM) セルは高速であり、電力をほとんど消費しない。しかし、DRAM セルの内容は揮発性であり、したがって、秒ごとに何度もリフレッシュされなければならない。フラッシュ型 EEPROM セルは不揮発性であり、低い感知力を有し、単一装置として構成されている。しかし、EEPROM セルは一般に、データ内容を書き込むのに何マイクロ秒をも要し、そのような内容を消去するのに何ミリ秒をも要する。この遅いアクセス時間が EEPROM セルを多くの用途、特にコンピュータ主メモリにおける使用

にとって望ましくないものにする。

【0003】DRAMとは違い、情報を強磁性領域の磁化の向きとして記憶する磁気メモリ・セルは、記憶した情報を長期間保持することができ、したがって、不揮発性といえる。磁気状態を使用して強磁性領域の近くの材料の電気抵抗を変化させる特定のタイプの磁気メモリ・セルは、総称的に磁気抵抗(MR)メモリ・セルとして知られている。このようなMRメモリ・セルのアレイが一般に磁気RAMまたはMRAMと呼ばれている。MRAM装置は、最初、米国特許第3,375,091号で、MR感知を利用する双安定磁気素子の形態で発案された。MRAMのセルは、磁性金属および合金の異方向性磁気抵抗(AMR)効果に基づいて設計されたものである。MRAMセルは、論理状態0を表す「高い」抵抗と、論理状態1を表す「低い」抵抗とを有する二つの安定な磁気形状を有している。しかし、AMR効果の大きさは大部分の強磁性系で一般に5%未満であり、これが感知信号の大きさを制限している。これは、そのような装置の非常に遅いアクセス時間に転化される。

【0004】最近、Tangらによって「Spin-Valve Ram Cell」IEEE Trans. Magn., Vol. 31, 3206 (1995)に開示されたように、巨大磁気抵抗(GMR)を示すスピバルブ構造を使用する、より高感度で効率的なプロトタイプMRAM装置が作製された。開示された基本的記憶素子は、1対の磁性層を薄い銅のスペーサ層によって隔てたものからなるストライプである。一方の磁性層の磁化が、薄い反強磁性層への交換カップリングにより、固定された磁気方向にピン止めされ、他方の層の磁化は自由である。自由な層の磁化がピン止めされた層の磁化と同じであるときのセルの抵抗は、両層の磁化が互いに反対であるときよりも低い。これら二つの磁気構造が「0」および「1」の論理状態を表す。このような装置は、14%もの抵抗変化を示し、その結果、以前のMRAMセルよりも高い信号レベルおよび速いアクセス時間が得られる。しかし、セルの内容を読み取ると、内容は破壊される。そのうえ、スピバルブ装置の本来低い抵抗が高い感知力を要求し、それが、高密度メモリ装置の製造を妨げる。

【0005】磁気トンネル接合(MTJ)は、AMRまたはGMRセルとは実質的に異なる物理的原理に基づく。MTJでは、2枚の磁性層が絶縁トンネル遮断層によって隔てられ、2枚の強磁性層の間の電子導通のスピ偏極トンネル効果から磁気抵抗が生じる。トンネル電流は、2枚の強磁性層の磁化の相対的な向きに依存する。あるMTJがMooseraらによって「Large Magnetoresistance at Room Temperature in Ferromagnetic Thin Film Tunnel Junctions」Phys. Rev. Lett., Vol. 74, No. 16, April 17, 1995, pp. 3273-3276に記載されている。

【0006】MTJの概略を図1に示す。中枢部品は、

絶縁層によって隔てられた2枚の強磁性金属層(FM1およびFM2)を含む3枚の層を挟み合わせたものである。FM1(102)およびFM2(104)の厚さは、数原子層から数ミクロンまでの範囲のいかなる数値であってよい。絶縁層106の厚さは1~10ナノメートル(nm)の範囲である。電圧108がFM層102および104に印加されると、一方のFM層からの電子が絶縁層106を貫通し、他方のFM層に進入して、トンネル電流と呼ばれる電流 I_t を発生させる。トンネル電流 I_t の大きさは電圧の大きさに依存する。MTJの抵抗は $R = V / I_t$ と定義され、これはまた、印加電流の関数である。抵抗の大きさはまた、FM層102の磁化とFM層104の磁化との関係にも依存する。両層の磁化が互いに対して平行であるとき、Rは小さな値 R_{min} をとる。両層の磁化が反平行であるとき、Rの大きさはその最大値 R_{max} になる。これらの極限値の間の範囲($0 < \theta < 180^\circ$)では、抵抗の値は最小値と最大値との間で変化する。

【0007】一般に、FM1(102)の磁化を特定の方向に固定し(たとえば、より高い飽和保磁力の材料を有することにより、または、スピバルブの場合のようにそれを反強磁性交換によってピン止めすることにより)、一方でFM2(104)の磁化方向を印加磁場によって変化させると、所望の抵抗を達成することができる。

【0008】

【発明が解決しようとする課題】MTJ装置は、それをメモリ用途に使用するのに望ましくするいくつかの特性を有するが、これまで実施上の制限がこれらの製品の市販化の成功を妨げてきた。したがって、商業的用途におけるMTJセルの使用を成功させるために、改良されたMTJセル構造およびメモリ装置アーキテクチャが求められる。

【0009】

【課題を解決するための手段】本発明の一つの形態によると、メモリおよび論理切り換え用途に使用するための磁気トンネル接合セルであって、第一の強磁性層と、第二の強磁性層と、第一および第二の強磁性層の間に介挿されて磁気トンネル接合素子を形成する絶縁層とを有する磁気トンネル接合セルが形成される。セルはまた、第一の方向に並べられ、第一の強磁性層に隣接して位置する第一の導体セグメントと、第一の方向に対して実質的に直交する第二の方向に並べられ、第二の強磁性層に隣接して位置する第二の導体セグメントとを有する書き込み導体を含む。セルはさらに、第一および第二の導体セグメントを終端させ、モノポーラ書き込み電圧および唯一の単一ポート書き込み端子を使用して双方向電流を書き込み導体中に発生させることを可能にする回路素子を含む。双方向電流は、第一の電流方向で高インピーダンス状態をセルに書き込み、第二の電流方向で低インピー

ダンス状態をセルに書き込む。

【0010】好ましくは、第一および第二の強磁性層は、半金属強磁性材料で形成されている。そのような材料は、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ （Dはアルカリ土類元素である）の形態をとる水マンガン鉱および X_2MnY （Xは、Co、Ni、CuおよびPdのいずれかであり、Yは、Al、Sn、InおよびSbのいずれかである）の形態のホイスラー合金を含む。半金属強磁性材料は、理想に近い切り換え特性を有するセルをもたらす近全スピン偏極を特徴とする。

【0011】双方向電流を可能にする回路素子は、第一の方向で電荷を蓄積し、第二の方向で電流を放出するコンデンサ構造の形態をとることができる。回路素子はまた、分圧回路の形態をとることもできる。バイポーラ書き込み電圧が利用できる代替態様では、回路素子は、大地電位に対する抵抗端子の形態をとることができる。

【0012】本発明のもう一つの実施態様によると、複数のビット線および複数のワード線を含む磁気ランダム・アクセス・メモリ（MRAM）装置が形成される。ビット線とワード線とは、実質的に直交する方向に延びて、複数の交差点を形成する。MRAMはさらに、一つ一つが各交差点に対応する複数の磁気トンネル接合セルを含む。セルは、第一の強磁性層と、第二の強磁性層と、これらの強磁性層の間に介挿された絶縁層とで形成されている。各セルはまた、第一の方向に並べられ、第一の強磁性層に隣接する第一の導体セグメントと、第一の方向に対して実質的に直交する第二の方向に並べられ、第二の強磁性層に隣接する第二の導体セグメントとを有する書き込み導体を含む。各セルの書き込み導体は、双方向電流を可能にする回路素子、たとえば容量性構造で終端している。第一のトランジスタが書き込み導体に対応するビット線およびワード線に結合する。第二のトランジスタが、読み取り信号をセルに印加するため、対応するワード線を第一の強磁性層に結合する。各セルは、第二の強磁性層と、対応する出力ビット線との間に介挿された、印加された読み取り信号を検出するための、対応する感度増幅器を有している。

【0013】好ましくは、第一および第二の強磁性層は、半金属強磁性材料で形成されている。そのような材料は、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ （Dはアルカリ土類元素である）の形態をとる水マンガン鉱および X_2MnY （Xは、Co、Ni、CuおよびPdのいずれかであり、Yは、Al、Sn、InおよびSbのいずれかである）の形態のホイスラー合金を含む。半金属強磁性材料は、理想に近い切り換え特性を有するセルをもたらす近全スピン偏極を特徴とする。これが、簡単かつ迅速に読み取られるMRAMをもたらす。

【0014】本発明のもう一つの実施態様によると、互いに対して実質的に並行であり、第一の平面上に位置する複数の3値状態ビット線を含む磁気ランダム・アクセ

ス・メモリ（MRAM）装置が形成される。MRAMはまた、互いに対して実質的に並行であり、第二の平面上に位置する複数の3値状態ワード線を含む。ワード線とビット線とは実質的に直交し、複数の交差点を有する行列のアレイを設ける。各ワード線およびビット線は、双方向電流を可能にする回路素子、たとえば容量性構造で終端している。MRAMは、交差点に対応する複数の磁気トンネル接合セルを含む。セルは、第一の平面と第二の平面との間に介挿され、第一の強磁性層と、第二の強磁性層と、それらの強磁性層の間に介挿された絶縁層とで形成されている。

【0015】MRAMはさらに、読み取りサイクル中に各セルに対応するワード線およびビット線に結合し、書き込みサイクル中にセルをワード線およびビット線から電気的に切り離すための手段を含む。セルの状態は、セルを偏極させるのに十分な磁場を設ける電流に対応するビット線およびワード線に通すことによって書き込まれる。セルは、結合手段を動作可能にし、読み取り信号をセルに提供することによって読み取られる。

【0016】好ましくは、第一および第二の強磁性層は、半金属強磁性材料で形成されている。そのような材料は、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ （Dはアルカリ土類元素である）の形態をとる水マンガン鉱および X_2MnY （Xは、Co、Ni、CuおよびPdのいずれかであり、Yは、Al、Sn、InおよびSbのいずれかである）の形態のホイスラー合金を含む。半金属強磁性材料は、理想に近い切り換え特性を有するセルをもたらす近全スピン偏極を特徴とする。これが、簡単かつ迅速に読み取られるMRAMをもたらす。

【0017】本発明のもう一つの態様によると、それぞれが入力端子、出力端子および第一の書き込み導体入力端子を有する第一および第二の半金属磁気トンネル接合セルを含む磁気論理装置が形成される。第一の半金属磁気トンネル接合セルは、書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有している。オン状態は、入力端子と出力端子との間に低い抵抗を提示し、オフ状態は、入力端子と出力端子との間に高い抵抗を提示する。第一および第二のセルの書き込み導体入力端子が論理入力端子を形成し、入力端子と出力端子とが相互接続されて、論理装置出力端子と論理入力端子との間に種々の論理機能を実現する。このような論理機能は、論理和、否定論理和、論理積、否定論理積および排他的論理和の論理機能を含む。

【0018】本発明のさらに別の実施態様によると、コンピュータ・プロセッサが形成されている第一の基板と、磁気ランダム・アクセス・メモリが形成されている第二の基板とを含む、不揮発性磁気メモリを有するコンピュータ集積回路が形成される。第一および第二の基板は、好ましくは、フリップチップ集積技術を使用して結合されて、コンピュータ・プロセッサが機能的に磁気ラ

ンダム・アクセス・メモリに結合されるようになる。

【0019】本発明の前記ならびに他の目的、特徴および利点は、添付図面と関連させて参照される本発明の例示的な実施態様の以下の詳細な説明から明らかになるであろう。

【0020】

【発明の実施の形態】MTJセルは、論理状態を示すために使用することができる、対応する可変性の抵抗を有している。第一および第二の強磁性層における磁化の向きが平行であるとき、MTJセルの抵抗は低い。磁化の向きが反平行であるとき、抵抗は高い。これら二つの抵抗状態は、直交電流をそれぞれ第一および第二の方向でセルに隣接する導体に印加することにより、セルに書き込むことができる。

【0021】図2および3は、本発明のMTJセルの平面図を示す。MTJセルは、第一の強磁性(FM)層、第二のFM層およびそれらの強磁性層の間に介挿された絶縁層を有する積層構造として形成されたMTJ素子200を含む。好ましくは、FM層と接触する従来の金属層の上に導電トレースを形成することにより、第一の電気端子202が第一のFM層に結合され、第二の電気端子204が第二のFM層に結合されている。MTJセルの抵抗は、第一および第二の電気端子202、204の間で測定することができる。MTJセルはまた、MTJ素子200の下を第一の方向(Y軸)に沿って延びる第一の導体セグメント206を含む。第二の導体セグメント208が、MTJ素子200の上を、第一の方向に対して直交する第二の方向(X軸)に沿って延びている。第一の導体セグメント206は第一の容量性構造210で終端し、第二の導体セグメント208は第二の容量性構造212で終端している。容量性構造210、212は、電界効果トランジスタのゲート端子の利用をはじめとする、従来技術で公知のいかなる方法で形成してもよい。第一の導体セグメントと第二の導体セグメントとが接続されて、書き込み信号を印加するための共通入力端子214を形成している。

【0022】図2を参照すると、電位が入力端子214に印加されると、電流が容量性構造210、212の中に流れ、それにより、第一のセグメント206(+Y方向)および第二のセグメント208(+X方向)に直交電流を生じさせる。これらの電流は、容量性構造210、212が充電されるまで流れる。MTJ素子200に隣接して流れる直交電流が積層構造の磁気偏極を反平行方向に生じさせ、それが端子202、204の間に高い抵抗を生じさせる。一般に、0.1~10maの範囲の電流が磁気状態の変化を誘発するのに十分である。

【0023】コンデンサ210、212が充電されると、図3に示すように、入力端子214を接地することにより、反対の直交方向の電流をセグメント206、208中に誘発することができる。-X、-Y方向の電流

がMTJ素子200を偏極させて積層構造の磁化を平行方向に生じさせ、それにより、端子202、204の間に低い抵抗を生じさせる。導体セグメントを電荷蓄積容量性構造で終端させることにより、モノポーラ書き込み電圧信号およびセルへの単一ポート入力端子を使用して双方向電流を生じさせることができる。

【0024】MTJセルの書き込み導体を終端させるコンデンサ210、212が、二つの状態をセルに書き込むために必要な双方向電流をセルに隣接するところで生じさせる簡便な方法を提供する。しかし、双方向電流を生じさせる他の方法を用いてもよい。たとえば、書き込み導体は、電圧を電圧中間点のあたりに維持する分圧回路によって終端させてもよい。分圧器は、図4に示すように、トランジスタまたは抵抗素子216、218および220、222で形成することができる。書き込み導体が高インピーダンス状態にあるとき、電流は流れない。しかし、書き込み導体が最大電位になると、電流は分圧器へと第一の方向に流れ、書き込み導体が大地電位になると、電流は分圧器から第二の方向に流れる。

【0025】図5は、MTJ素子200の層構造および導体セグメント206、208の向きをさらに示す断面図である。MTJ素子200は、第一の強磁性(FM)層302、第二の強磁性(FM)層304およびそれらのFM層の間に介挿された絶縁層306を含む。第一の導体セグメント206が第一のFM層302の下に設けられ、電気絶縁層308がFM層302と導体セグメント206との間に介挿されている。同様に、絶縁層310が第二の導体セグメント208を第二のFM層304から隔てている。このようにして、導体セグメント206、208に印加された電流は、積層構造に隣接するところで磁場を生じさせるが、MTJ素子200の中を流れることはない。

【0026】好ましくは、第一のFM層302および第二のFM層304は、完全に近いスピン偏極を示す半金属強磁性材料を使用して形成されている。スピン偏極が100%に近づくにつれ、MTJ素子200は、きわめて高いオフ抵抗を有する理想的なスイッチのように働く。この抵抗は100~10,000K $\Omega \cdot \mu^2$ (キロオーム・ミクロン自乗)のオーダーである。公知の半金属強磁性材料は、CrO₂、Fe₃O₄、La_{1-x}D_xMnO₃(Dはアルカリ土類元素である)の形態をとる水マンガニウムおよびX₂MnY(Xは、Co、Ni、Cu、Pdなどのいずれかであり、Yは、Al、Sn、In、Sbなどのいずれかである)の形態のホイスラー合金を含む。また、他の半金属強磁性材料が将来利用可能になり、本発明で使用するのに受け入れられる性質を示すものと期待される。

【0027】好ましくは、半金属強磁性層は、1~100nmの範囲の厚さで形成される。半金属強磁性層の間に介挿される絶縁層は、約0.5~10nmの範囲の厚さを

有する Al_2O_3 、 TiO_2 、 MgO 、 SiO_2 、 AlN などの材料であることができる。

【0028】図6は、本発明にしたがって形成されたMRAMアレイの一部を示す。図示するMRAMアレイの部分は、4個のメモリ・セル400-1、400-2、400-3、400-4を含む。しかし、有用なメモリ装置ははるかに多くのセル（何十万個、何百万個というオーダー）で形成され、この限定部分が単に本発明の作動原理を説明するだけであるということが当該技術で十分に理解されよう。各セル400は、図2、3および5に関連して論じたように、MTJ素子402、直交書き込み導体404、406およびコンデンサ408、410を含む。セル400は行列に配置され、垂直方向に伸びるビット線412と、水平方向に伸びるワード線414との交差点に対応する。セル400ごとに、ワード線414に結合されたゲート端子と、MTJ素子402の直交書き込み導体に結合されたドレン端子とを有する第一のトランジスタ416がある。セル400-3および400-4は、簡潔に示すため、トランジスタ416および対応する書き込み導体なしで示されているが、そのような部品がこれらのセルにも含まれることが理解されよう。

【0029】第一の抵抗状態をセル400に書き込むためには、電圧信号を対応するビット線412およびワード線414に印加し、それにより、電流をトランジスタ416を介してコンデンサ408、410（または、双方向電流に対応する他の回路素子）に流れ込ませる。この電流が、図2に関連して論じた方法で、MTJ素子402を偏極させる。第二の抵抗状態をセル400に書き込むためには、大地レベル電位をビット線412に印加すると同時に、正電圧を、選択されたセル400の対応するワード線414に印加する。これがトランジスタ406を偏極させて、コンデンサ408、410に蓄積された電荷がビット線412に放電され、それにより、図3に関連して論じたように、MTJ素子402を低抵抗状態に偏極させるために必要な逆方向電流を生じさせる。コンデンサ408、410が、必要な電流を生じさせるのに十分な電荷を含むことを保証するために、コンデンサ408、410は、書き込みサイクルの第一の部分で充電したのち、放電させて第二の抵抗状態を生じさせてもよい。

【0030】MRAMセルの書き込み導体を終端させるコンデンサ408、410は、双方向電流を可能にする他の回路実施態様で置き換えることができる。図7は、このために書き込み導体を終端させるために使用されるトランジスタ回路を示す。コンデンサ408の代わりに、Y方向書き込み導体セグメントは、第一のトランジスタ430および第二のトランジスタ432によって終端されている。トランジスタ430、432は、電源 V_{dd} と大地電位との間に直列に接続された相補形装置であ

る。トランジスタ430、432のゲートは互いに接続され、また、対応するセル402のビット線に接続されている。P型装置であるトランジスタ430のソースは、N型装置であるトランジスタ432のドレンおよびY方向書き込み導体404に接続されている。X方向書き込み導体セグメント406も同様に、相補形トランジスタ対434、436によって終端されている。ビット線412およびワード線414がいずれも高になると、トランジスタ432および436がオンになり、電流が、トランジスタ432の中を-Yから+Yの方向に流れ、また、トランジスタ436の中を-Xから+Xの方向に流れる。しかし、ワード線414が高であるときにビット線412が低になると、トランジスタ432、436はオフになり、同時にP型トランジスタ430、434がオンになる。すると、電流は、トランジスタ430の中を+Yから-Yの方向に流れ、また、トランジスタ434の中を+Xから-Xの方向に流れる。このようにして、「1」または「0」をセル402に書き込むことができる。

【0031】MRAMアレイはまた、セル400の抵抗状態を確認するため、読み取り回路を含む。読み取り回路は、好ましくは、対応するワード線414に結合されたゲート端子と、読み取りイネーブル線420に結合されたドレン端子と、ワード線の行の各MTJ素子402の第一の端子に結合されたソース端子とを有する第二のトランジスタ418を含む。電流は読み取り動作中にしかセルに印加されないため、読み取りイネーブル信号はMRAMの電力を節約する。各MTJ素子の第二の端子は、対応する感度増幅器422に結合されている。ビット線の列と対応するMTJ素子402ごとの感度増幅器422の出力は、論理和機能によって結合される。これは、出力どうしを配線で結合するか、各ビット線412に対応する論理和ゲート424を使用することによって達成することができる。

【0032】選択されたセル400の状態を読み取るためには、読み取りイネーブル線420および対応するワード線414を正の電圧レベルにする。感度増幅器422は、好ましくは、印加電圧およびMTJ抵抗に応答する検出器を含む。感度増幅器422は、MTJ素子が低抵抗状態にあるとき第一の信号レベルを検出し、その出力で論理レベル「1」を示す。同様に、感度増幅器422は、MTJ素子が高抵抗状態にあるとき第二の信号レベルを検出し、論理レベル「0」を示す。感度増幅器422の出力はビット線論理和ゲート424に結合され、このゲートは適当なデコード回路（図示せず）に結合されている。

【0033】図8は、本発明にしたがって形成された代替のMRAMトポロジーを示す。図6と同様に、図8のMRAMは、ビット線504とワード線506との交差点に隣接する複数のMTJセル502で形成されてい

る。MTJ素子502は、素子502の下を垂直に延びるビット線と、素子502の上を水平に延びるワード線との間に位置している。このようにして、ワード線506およびビット線504は、各MTJ素子502にかかる直交書き込み導体セグメントを直接形成する。各ビット線504および各ワード線506は、双方向電流を可能にする回路素子、たとえば容量性素子508で終端している。MRAMは、好ましくは、メモリ回路アレイにとって従来の方法で形成されたビット線デコーダ/ドライバ回路510およびワード線デコーダ/ドライバ回路512を含む。

【0034】抵抗状態に対応するMTJ素子502に書き込むには、電流が、対応するビット線504およびワード線506の両方に流れて、素子502を偏極するのに十分な磁場を発生させなければならない。電流がセルのワード線またはビット線のいずれかだけを流れるとき、そのセルは半選択状態といわれ、その抵抗状態は変わらない。図10は、第一の抵抗状態をMTJセル502-1に書き込む場合を示すタイミング図である。時間 t_0 で、ビット線 B_0 は高インピーダンス状態に保持され、同時に、書き込みライン W_0 が低になってコンデンサ C_{W0} を放電させる。コンデンサ C_{W0} が時間 t_0 で電荷を有するならば、期間 $t_0 \sim t_1$ の間、電流が W_0 に流れる。しかし、この期間中はビット線が高インピーダンス状態に保持されているため、電流はビット線には流れず、ワード線 W_0 に対応するセルは半選択状態にしかない。

【0035】時間 t_1 で、ワード線が高インピーダンス状態に置かれ、ビット線 b_0 が低になってコンデンサ C_{B0} を放電させる。前記と同様、ビット線を流れる電流はビット線沿いのセルを半選択するだけであり、それらのセルのインピーダンスを変化させない。コンデンサ C_{B0} および C_{W0} が放電すると、ビット線 B_0 およびワード線 W_0 が高になり、それにより、磁気モーメントを第一の抵抗状態に偏極させるのに必要な直交電流がセル502-1に隣接するところで発生する。ビット線 B_0 およびワード線 W_0 に対応するさらなるセル502は、半選択状態でしかないため、変化のないままである。図11は、セル502-1の抵抗状態を第二の抵抗状態に変化させる書き込みサイクルのタイミングを例示する。このプロセスは、図10に関連して説明したプロセスと類似しているが、コンデンサが、はじめ時間 $t_0 \sim t_2$ の間に充電されたのち、時間 $t_2 \sim t_3$ の間に放電される。

【0036】図8のMRAMでは、各ビット線504およびワード線506は、容量性構造508ではなく、分圧構造で終端させることができる。この場合、ビット線およびワード線が高インピーダンス状態にあるとき、電流は流れない。しかし、両線が高になると、電流は第一の方向に流れて分圧構造に入り、両線が低になると、電流は分圧構造から第二の方向に流れる。この実施態様は

MRAMの零入力電流を増すが、これは、書き込み動作の間にだけ分圧構造を動作可能にすることによって対処することができる。分圧構造を使用することにより、容量性構造が選択されたセルに対して書き込みを行うのに適切な初期状態にあることを保証する必要がもはやなくなるため、図10および11の前記書き込みサイクルが一段階プロセスに簡素化される。さらなる代替として、デコーダ/ドライバ回路510、512が双方向電圧出力で形成されるならば、ビット線およびワード線を適当な抵抗を介して大地電位に接続するだけで、求められる双方向電流を達成することができる。

【0037】図9は、読み取り回路の例をさらに示す、図8のMRAMのセル502を示す略図である。トランジスタ520がセル502の第一のFM層に対応するワード線506に結合している。トランジスタ520のゲートは読み出しイネーブル信号に結合されている。セル502の第二のFM層は、対応するビット線504に接続されている。読み取りイネーブル信号が存在するとき、ワード線506上で提示される信号が読み取り電流を発生させてトランジスタ520およびセル502に通じてビット線504に入れる。各ビット線は、読み取り電流を感度増幅器524に結合するための第二のトランジスタ524と、読み取り動作中に容量性構造508をビット線から反結合するための第二のトランジスタ526とを含む。同様に、各ワード線は、読み取り動作中に容量性構造508をワード線から反結合するための第三のトランジスタ528を含む。トランジスタ522、526および528がNMOS装置であるとき、トランジスタ522のゲートに直接印加された読み取りイネーブル信号は、インバータ530に通され、トランジスタ526、528のゲートに結合される。このように、1本の制御線しか要らない。あるいはまた、トランジスタ522は、トランジスタ526、528に対して相補形装置であることもでき、その場合、インバータ530なしで共通のイネーブル信号によって駆動される。

【0038】図9の読み取り回路は、トランジスタ520がワード線506に結合され、感度増幅器がトランジスタ522を介してビット線504に結合されているように示すが、この回路は、ビット線とワード線とを互いに逆にしても等価に設計できることが理解されよう。

【0039】図6および8のMRAM装置は、独立型メモリ装置に適用可能であるだけでなく、内部レジスタおよびキャッシュ・メモリとして使用するためにマイクロプロセッサに集積することもできる。集積しやすくするため、フリップチップ実装技術を使用して二つの製作技術を合併することが好ましい。

【0040】MTJセルが半金属強磁性材料で形成されているとき、改善された切り換え特性が磁気論理ゲートの構築を可能にする。図12を参照すると、MTJセルで形成された論理積ゲートが示されている。このゲート

は、第一のMTJセル700を第二のMTJセル702と直列に接続したもので形成されている。第一のMTJセル700の書き込み導体が第一の論理入力(A)を形成し、第二のMTJセル702の書き込み導体が第二の論理入力(B)を形成している。ゲートはまた、第一のMTJセル700に接続された入力端子704と、第二のMTJセル702に結合された出力端子706とを有している。正電圧が入力端子704に印加されると、ゲートは、以下に示す論理積ゲートの真理値表にしたがって作動する。

【0041】

【表1】

表1:

A	B	Out
0	0	0
0	1	0
1	1	0
1	1	1

【0042】出力は、入力を論理低電位に接続し、出力端子706からのプルアップ抵抗を正の電源に接続することによって逆転させることができる。この設計では、否定論理積機能が達成される。

【0043】同様に、MTJセルは、図13に示すように、論理和／否定論理和ゲートを形成するように設計することもできる。この実施態様では、第一のMTJセル800と第二のMTJセル802とが並列に接続されている。いずれかのMTJセルが磁化されてセルの抵抗が低くなると、入力端子804に印加された信号が出力端子806に通される。

【0044】図12および13のいずれでも、MTJセルの書き込み導体は、各セルが論理入力端子A、Bで印加される信号に対して同じように応答するように配置されている。換言するならば、図3および2に関連してそれぞれ記載したように、正電圧の印加がセルを低抵抗状態に置き、大地電位の印加がセルを高インピーダンス状態に置く。

【0045】図14は、本発明にしたがって形成された排他的論理和ゲートの実施態様を示す。排他的論理和ゲートは、並列に接続されたMTJセル900、902の第一の対と、互いには並列に、第一の対のセルとは直列に接続されたMTJセル904、906の第二の対とで形成されている。セル900および904は、論理入力端子Aに印加される信号に応答する書き込み導体によって制御され、セル902、906は、論理入力端子Bに印加される信号に応答する。セル900および902の

書き込み導体は、高入力信号が、セルを低抵抗状態に(+x、+y)磁化する第一の方向への電流を誘発するように配置されている。セル904および906中の書き込み導体は、高入力信号が、セル904、906を高抵抗状態に(-x、-y)磁化する第二の方向への電流を誘発するよう、セル900、902中の書き込み導体に対して反対の向きである。その結果、高レベル信号が端子Aに印加されると、セル900は低抵抗状態にセットされ、セル904は高抵抗状態にセットされる。同様に、高レベル信号が端子Bに印加されると、セル902は低抵抗状態にセットされ、セル906は高抵抗状態にセットされる。信号を入力端子908から出力端子910に通すためには、セル900または902の一方が低抵抗状態になければならず、セル904または906の一方もまた低抵抗状態になければならず、それにより、以下の真理値表によって定義されるような排他的論理和機能が確立される。

【0046】

【表2】

表2:

IN	A	B	OUT
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

【0047】図12～14は、MTJセルで形成された論理ゲートの実施例を示す。例示する各実施態様は2入力論理機能(A、B)を表すが、入力数は、いかなる所望の数にも容易に拡張することができる。加えて、1個のMTJセルをバッファ／インバータとして使用することもできる。MTJセルの簡単な配置によって組み合わせ論理機能を実現することができるため、望むならば、磁気メモリと、対応するデコーダ論理とを、同じ製造工程を使用して同じ基板上に集積することもできる。

【0048】図15は、本発明にしたがって形成された組み合わせメモリおよび論理アレイの一部を示す略図である。このアレイは、図12に関連して説明した方法と同様にして直列に接続されたMTJセル1000、1002を含む。簡略化されたアレイは、入力端子と、セル1000の書き込み導体に結合された第一のビット線端子B₀と、セル1002の書き込み導体に結合された第二のビット線端子B₁と、セル1000、1002の接合に結合された第一の出力端子O₀と、セル1002の出力に結合された第二の出力端子O₁とを含む。この構成では、第一の出力は、印加されるデータおよびセル1

000の現在の状態に関連する。第二の出力端子 O_1 は、印加されるデータ、セル1000の状態およびセル1002の状態に関連する。論理積構造を示すが、種々の論理メモリ組み合わせを形成することができる。加えて、アレイは、多数のセルの組み合わせにも拡張することができる。

【0049】本発明の好ましい実施態様を記載したが、当業者によると、上記教示を考慮して修正および変形を加えることが理解されよう。したがって、開示した発明の具体的な実施態様に対し、請求の範囲によって定義される本発明の範囲および真髄に該当する変更を加えることが理解されよう。

【0050】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 第一の強磁性層と、第二の強磁性層と、前記第一および第二の強磁性層の間に介挿された絶縁層と、第一の方向に並べられ、前記第一の強磁性層に隣接する第一の導体セグメントと、前記第一の方向に対して実質的に直交する第二の方向に並べられ、前記第二の強磁性層に隣接する第二の導体セグメントとを含む書き込み導体と、前記第一および第二の導体セグメントを末端させ、書き込み信号の存在で双方向電流を前記導体信号中に可能にする回路構造と、を含むことを特徴とする磁気トンネル接合セル。

(2) 前記第一および第二の強磁性層が半金属強磁性材料で形成されている上記(1)記載の磁気トンネル接合セル。

(3) 前記回路構造が容量性素子である上記(2)記載の磁気トンネル接合セル。

(4) 前記回路構造が分圧回路であり、前記書き込み信号が3値状態信号である上記(2)記載の磁気トンネル接合セル。

(5) 前記回路構造が、正電位に結合された第一のトランジスタと、前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる上記(2)記載の磁気トンネル接合セル。

(6) 前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $La_{1-x}D_xMnO_3$ (D はアルカリ土類元素である)の形態をとる水マンガン鉱および X_2MnY (X は、 Co 、 Ni 、 Cu および Pd のいずれかであり、 Y は、 Al 、 Sn 、 In および Sb のいずれかである)の形態のホイスラー合金を含む群より選択される上記(2)記載の磁気トンネル接合セル。

(7) 実質的に直交する方向に延びて複数の交差点を形成する複数のビット線および複数のワード線を有する磁気ランダム・アクセス・メモリ装置であって、前記複数の交差点に対応する複数の磁気トンネル接合セルを含み、前記セルが、第一の強磁性層と、第二の強磁性層と、前記第一および第二の強磁性層の間に介挿された絶縁層と、第一の方向に並べられ、前記第一の強磁性層に隣接する第一の導体セグメントと、前記第一の方向に対して実質的に直交する第二の方向に並べられ、前記第二の強磁性層に隣接する第二の導体セグメントとを含む書き込み導体と、前記第一および第二の導体セグメントを末端させ、受けた書き込み信号に応答して双方向電流を前記導体セグメント中に可能にする回路構造と、前記書き込み導体を対応するビット線およびワード線に結合する第一のトランジスタと、前記対応するワード線を前記第一の強磁性層に結合する第二のトランジスタと、前記第二の強磁性層と、対応する出力ビット線との間に介挿された感度増幅器と、を含むことを特徴とする磁気メモリ装置。

(8) 前記第一および第二の強磁性層が半金属強磁性材料で形成されている上記(7)記載の磁気メモリ装置。

(9) 前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $La_{1-x}D_xMnO_3$ (D はアルカリ土類元素である)の形態をとる水マンガン鉱および X_2MnY (X は、 Co 、 Ni 、 Cu および Pd のいずれかであり、 Y は、 Al 、 Sn 、 In および Sb のいずれかである)の形態のホイスラー合金を含む群より選択される上記(8)記載の磁気メモリ装置。

(10) 前記回路構造が容量性素子である上記(8)記載の磁気メモリ装置。

(11) 前記回路構造が分圧回路であり、前記書き込み信号が3値状態信号である上記(8)記載の磁気メモリ装置。

(12) 前記回路構造が、正電位に結合された第一のトランジスタと、前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる上記(8)記載の磁気メモリ装置。

(13) 互いに対して実質的に並行であり、第一の平面上に位置する複数の3値状態ビット線と、互いに対して実質的に並行であり、第二の平面上に位置し、前記ビット線に対して実質的に直交する方向に延びて複数の交差点を形成する複数の3値状態ワード線と、前記ワード線および前記ビット線それぞれを末端させ、受けた書き込

み信号に応答して双方向電流を可能にする複数の回路構造と、前記複数の交差点に対応し、前記第一の平面と前記第二の平面との間に介挿された複数の磁気トンネル接合セルであって、第一の強磁性層と、第二の強磁性層と、前記第一および第二の強磁性層の間に介挿された絶縁層と、を含むセルと、読み取りサイクル中に前記セルを前記対応するワード線およびビット線に結合するための手段と、を含み、前記セルの状態が、電流を前記対応するビット線およびワード線に通すことによって書き込まれ、前記セルが、前記結合手段を動作可能にして前記セルから読み取り信号を検出することによって読み取られることを特徴とする磁気ランダム・アクセス・メモリ装置。

(14) 前記第一および第二の強磁性層が半金属強磁性材料で形成されている上記(13)記載の磁気メモリ装置。

(15) 前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (Dはアルカリ土類元素である)の形態をとる水マンガン鉱および X_2MnY (Xは、Co、Ni、CuおよびPdのいずれかであり、Yは、Al、Sn、InおよびSbのいずれかである)の形態のホイスラー合金を含む群より選択される上記(14)記載の磁気メモリ装置。

(16) 前記回路構造が容量性素子である上記(14)記載の磁気メモリ装置。

(17) 前記回路構造が分圧回路である上記(14)記載の磁気メモリ装置。

(18) 前記回路構造が、正電位に結合された第一のトランジスタと、前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる上記(14)記載の磁気メモリ装置。

(19) 入力端子、出力端子および第一の書き込み導体入力端子を有する第一の半金属磁気トンネル接合セルであって、前記書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有し、前記オン状態が、前記入力端子と前記出力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第一の半金属磁気トンネル接合セルと、入力端子、出力端子および第二の書き込み導体入力端子を有する第二の半金属磁気トンネル接合セルであって、前記書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有し、前記オン状態が、前記入力端子と前記出力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第二の半金属磁気トンネル接合セルと、を含み、前記第一および第二のセルの前記入力端子どうしが結合されて装置入力端子を形成し、前記第一および第二のセルの前記出力端子が互いに、また、前記第三および第四のセルの前記入力端子に結合され、前記第三および第四のセルの前記入力端

力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第二の半金属磁気トンネル接合セルと、を含み、前記第一および第二の書き込み導体入力端子が論理入力端子を形成し、前記入力端子と前記出力端子とが結合されて、論理装置出力端子と前記論理入力端子との間に論理機能を実現することを特徴とする磁気論理装置。

(20) 前記入力端子どうしが接続され、さらに正電位に接続され、前記出力端子どうしが接続されて前記論理装置出力端子を形成し、それにより、前記論理機能が論理和機能である上記(19)記載の磁気論理装置。

(21) 前記第一のセルの前記入力端子が正電位に接続され、前記第一のセルの前記出力端子が前記第二のセルの前記入力端子に結合され、前記第二のセルの前記出力端子が前記論理装置出力端子であり、それにより、前記論理機能が論理積機能である上記(19)記載の磁気論理装置。

(22) 正電位から前記論理装置出力端子に結合されたプルアップ抵抗をさらに含み、前記入力端子どうしが接続され、さらに大地電位に接続され、前記出力端子どうしが接続されて前記論理装置出力端子を形成し、それにより、前記論理機能が否定論理和機能である上記(19)記載の磁気論理装置。

(23) 正電位から前記論理装置出力端子に結合されたプルアップ抵抗をさらに含み、前記第一のセルの前記入力端子が大地電位に結合され、前記第一のセルの前記出力端子が前記第二のセルの前記入力端子に結合され、前記第二のセルの前記出力端子が前記論理装置出力端子であり、それにより、前記論理機能が否定論理積機能である上記(19)記載の磁気論理装置。

(24) 入力端子、出力端子および第三の書き込み導体入力端子を有する第三の半金属磁気トンネル接合セルであって、前記第一および第二のセルに対して前記書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有し、前記オン状態が、前記入力端子と前記出力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第三の半金属磁気トンネル接合セルと、入力端子、出力端子および第四の書き込み導体入力端子を有する第四の半金属磁気トンネル接合セルであって、前記書き込み導体入力端子に印加される信号に応答してセットされるオン状態およびオフ状態を有し、前記オン状態が、前記入力端子と前記出力端子との間に低い抵抗を提示し、前記オフ状態が、前記入力端子と前記出力端子との間に高い抵抗を提示する第四の半金属磁気トンネル接合セルと、をさらに含み、前記第一および第二のセルの前記入力端子どうしが結合されて装置入力端子を形成し、前記第一および第二のセルの前記出力端子が互いに、また、前記第三および第四のセルの前記入力端子に結合され、前記第三および第四のセルの前記入力端

子どうしが結合されて前記論理入力端子を形成し、前記第一のセルの前記書き込み導体と、前記第三のセルの前記書き込み導体とが結合されて第一の論理入力端子を形成し、前記第一のセルの前記書き込み導体が、前記第三のセルの前記書き込み導体に対して反対の向きに配置され、それにより、前記第一の論理端子に印加される信号が前記第一および第三のセルの状態を反対の状態にセットし、前記第二のセルの前記書き込み導体と、前記第四のセルの前記書き込み導体とが結合されて第二の論理入力端子を形成し、前記第二のセルの前記書き込み導体が、前記第四のセルの前記書き込み導体に対して反対の向きに配置され、それにより、前記第二の論理端子に印加される信号が前記第一および第三のセルの状態を反対の状態にセットする上記(19)記載の磁気論理装置。

(25) 前記装置出力端子が正電位に結合され、それにより、前記論理機能が排他的論理和機能である上記(24)記載の磁気論理装置。

(26) 正電位と前記論理出力端子との間にプルアップ抵抗をさらに含み、前記装置入力端子が大地電位に結合され、それにより、前記論理機能が排他的否定論理和機能である上記(24)記載の磁気論理装置。

(27) コンピュータ・プロセッサが形成されている第一の基板と、磁気ランダム・アクセス・メモリが形成されている第二の基板と、を含み、前記第一の基板と前記第二の基板とがフリップチップ集積技術によって結合され、それにより、前記コンピュータ・プロセッサが前記磁気ランダム・アクセス・メモリに機能的に結合されていることを特徴とする不揮発性磁気メモリを有するコンピュータ集積回路。

(28) 前記磁気ランダム・アクセス・メモリが、実質的に直交する方向に延びて複数の交差点を形成する複数のビット線および複数のワード線を含み、前記磁気メモリが、前記複数の交差点に対応する複数の磁気トンネル接合セルを含み、前記セルが、第一の強磁性層と、第二の強磁性層と、前記第一および第二の強磁性層の間に介挿された絶縁層と、第一の方向に並べられ、前記第一の強磁性層に隣接する第一の導体セグメントと、前記第一の方向に対して実質的に直交する第二の方向に並べられ、前記第二の強磁性層に隣接する第二の導体セグメントとを含む書き込み導体と、前記第一および第二の導体セグメントを末端させ、受けた書き込み信号にตอบสนองして双方向電流を前記導体セグメント中に可能にする回路構造と、前記書き込み導体に対応するビット線およびワード線に結合する第一のトランジスタと、前記対応するワード線を前記第一の強磁性層に結合する第二のトランジスタと、前記第二の強磁性層と、対応する出力ビット線との間に介挿された感度増幅器と、を含む上記(27)記載のコンピュータ集積回路。

(29) 前記第一および第二の強磁性層が半金属強磁性材料で形成されている上記(28)記載のコンピュータ

集積回路。

(30) 前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (Dはアルカリ土類元素である)の形態をとる水マンガン鉱および X_2MnY (Xは、Co、Ni、CuおよびPdのいずれかであり、Yは、Al、Sn、InおよびSbのいずれかである)の形態のホイスラー合金を含む群より選択される上記(29)記載のコンピュータ集積回路。

(31) 前記回路構造が容量性素子である上記(29)記載のコンピュータ集積回路。

(32) 前記回路構造が分圧回路であり、前記書き込み信号が3値状態信号である上記(29)記載のコンピュータ集積回路。

(33) 前記磁気ランダム・アクセス・メモリが、互いに実質的に並行であり、第一の平面上に位置する複数の3値状態ビット線と、互いに実質的に並行であり、第二の平面上に位置し、前記ビット線に対して実質的に直交する方向に延びて複数の交差点を形成する複数の3値状態ワード線と、前記ワード線および前記ビット線それぞれを末端させ、受けた書き込み信号にตอบสนองして双方向電流を可能にする複数の回路構造と、前記複数の交差点に対応し、前記第一の平面と前記第二の平面との間に介挿された複数の磁気トンネル接合セルであって、第一の強磁性層と、第二の強磁性層と、前記第一および第二の強磁性層の間に介挿された絶縁層と、を含むセルと、読み取りサイクル中に前記セルを前記対応するワード線およびビット線に結合するための手段とをさらに含み、前記セルの状態が、電流を前記対応するビット線およびワード線に通すことによって書き込まれ、前記セルが、前記結合手段を動作可能にして前記セルから読み取り信号を検出することによって読み取られる上記(29)記載のコンピュータ集積回路。

(34) 前記第一および第二の強磁性層が半金属強磁性材料で形成されている上記(33)記載のコンピュータ集積回路。

(35) 前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (Dはアルカリ土類元素である)の形態をとる水マンガン鉱および X_2MnY (Xは、Co、Ni、CuおよびPdのいずれかであり、Yは、Al、Sn、InおよびSbのいずれかである)の形態のホイスラー合金を含む群より選択される上記(34)記載のコンピュータ集積回路。

(36) 前記回路構造が容量性素子である上記(33)記載のコンピュータ集積回路。

(37) 前記回路構造が分圧回路である上記(33)記載のコンピュータ集積回路。

(38) 前記回路構造が、正電位に結合された第一のトランジスタと、前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制

御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる上記(33)記載のコンピュータ集積回路。

(39) 実質的に直交する方向に延びて複数の交差点を形成する複数のビット線および複数のワード線を有する磁気ランダム・アクセス・メモリ論理アレイであって、前記複数の交差点に対応する複数の磁気トンネル接合セルを含み、前記セルが、第一の強磁性層と、第二の強磁性層と、前記第一および第二の強磁性層の間に介挿された絶縁層と、第一の方向に並べられ、前記第一の強磁性層に隣接する第一の導体セグメントと、前記第一の方向に対して実質的に直交する第二の方向に並べられ、前記第二の強磁性層に隣接する第二の導体セグメントとを含む書き込み導体と、前記第一および第二の導体セグメントを末端させ、受けた書き込み信号に応答して双方向電流を前記導体セグメント中に可能にして、対応するセルを低抵抗状態および高抵抗状態のいずれかにセットする回路構造と、を含み、前記複数の磁気トンネル接合セルの少なくとも一部が相互接続されて組み合わせ論理機能を実現し、前記アレイが、セルの前記少なくとも一部の状態および前記組み合わせ論理機能に関連する少なくとも一つの出力信号を有することを特徴とする磁気ランダム・アクセス・メモリ論理アレイ。

(40) 前記第一および第二の強磁性層が半金属強磁性材料で形成されている上記(39)記載の磁気ランダム・アクセス・メモリ論理アレイ。

(41) 前記半金属材料が、 CrO_2 、 Fe_3O_4 、 $\text{La}_{1-x}\text{D}_x\text{MnO}_3$ (Dはアルカリ土類元素である) の形態をとる水マンガン鉱および X_2MnY (Xは、Co、Ni、CuおよびPdのいずれかであり、Yは、Al、Sn、InおよびSbのいずれかである) の形態のホイスラー合金を含む群より選択される上記(40)記載の磁気ランダム・アクセス・メモリ論理アレイ。

(42) 前記回路構造が容量性素子である上記(40)記載の磁気ランダム・アクセス・メモリ論理アレイ。

(43) 前記回路構造が分圧回路であり、前記書き込み信号が3値状態信号である上記(40)記載の磁気ランダム・アクセス・メモリ論理アレイ。

(44) 前記回路構造が、正電位に結合された第一のトランジスタと、前記第一のトランジスタおよび回路大地電位に結合された第二のトランジスタとを含み、前記第一および第二のトランジスタが、共通の信号によって制

御される相補形装置であり、前記信号が第一の状態にあるとき、電流が前記正電位から前記第一のトランジスタを介して前記導体セグメントに第一の方向で流れ込み、前記信号が第二の状態にあるとき、電流が前記導体セグメントから前記第二のトランジスタを介して前記回路大地電位に第二の方向で流れる上記(40)記載の磁気ランダム・アクセス・メモリ論理アレイ。

【図面の簡単な説明】

10 【図1】従来技術で公知の磁気トンネル接合セルの断面図である。

【図2】本発明にしたがってMTJセルに書き込まれる第一の状態を示す平面図である。

【図3】本発明にしたがってMTJセルに書き込まれる第二の状態を示す平面図である。

【図4】本発明にしたがって双方向電流を生じさせるための分圧器を使用したMTJセルの平面図である。

【図5】本発明にしたがって形成されたMTJセルの断面図である。

20 【図6】本発明にしたがって形成されたMRAMアレイを部分的に示す略図である。

【図7】本発明のMRAMセルの書き込み導体を末端させるために使用されるトランジスタ回路を示す図である。

【図8】本発明にしたがって形成されたMRAM装置の代替態様を示すブロック図である。

【図9】図8のMRAM中のMTJセルに対応する読み取り回路の例を示す略図である。

【図10】図8に示すMRAM実施態様に関して論理状態「1」の書き込みサイクルを示すタイミング図である。

30 【図11】図8に示すMRAM実施態様に関して論理状態「0」の書き込みサイクルを示すタイミング図である。

【図12】本発明にしたがってMTJセルで形成された論理積ゲートの略図である。

【図13】本発明にしたがってMTJセルで形成された論理和ゲートの略図である。

【図14】本発明にしたがってMTJセルで形成された排他的論理和ゲートの略図である。

40 【図15】本発明にしたがってMTJセルで形成された磁気ランダム・メモリ論理装置の略図である。

【符号の説明】

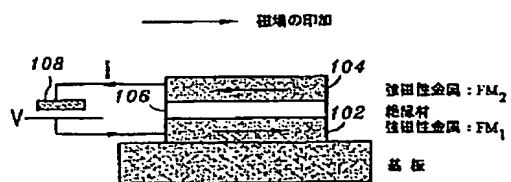
200 MTJ素子

206、208 導体セグメント

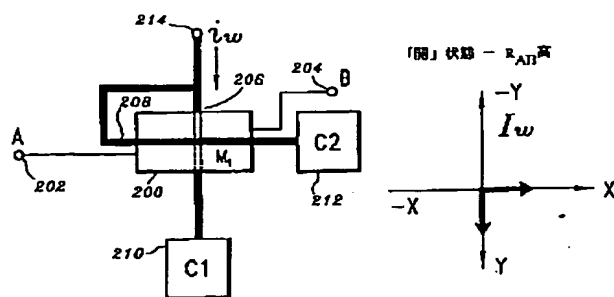
302、304 強磁性層

306、308、310 絶縁層

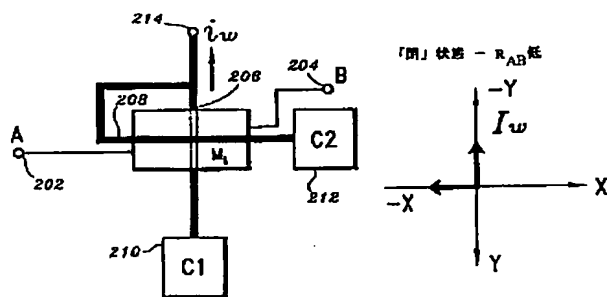
【図 1】



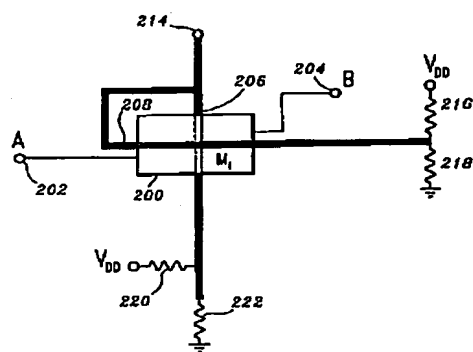
【図 2】



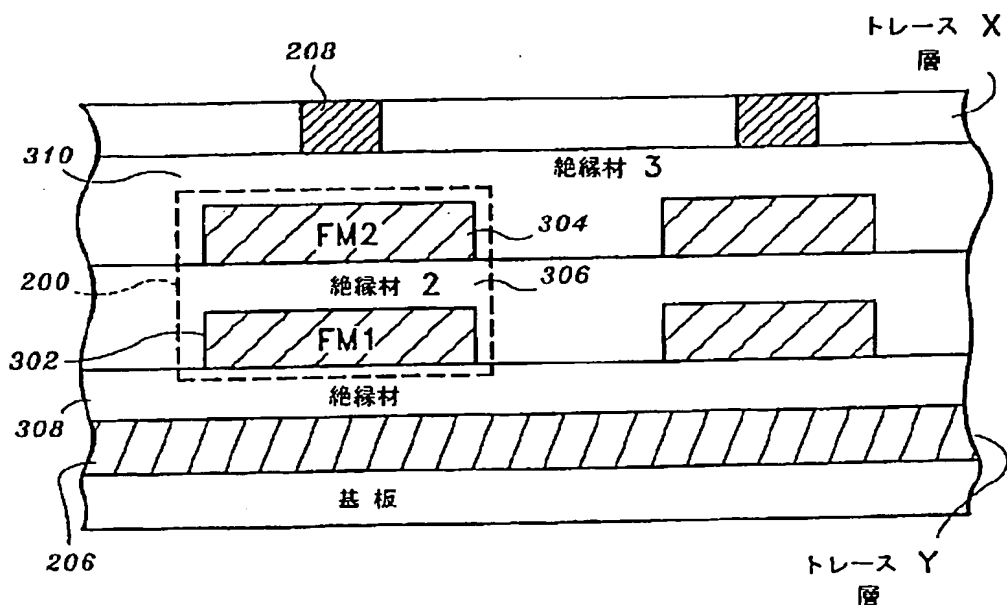
【図 3】



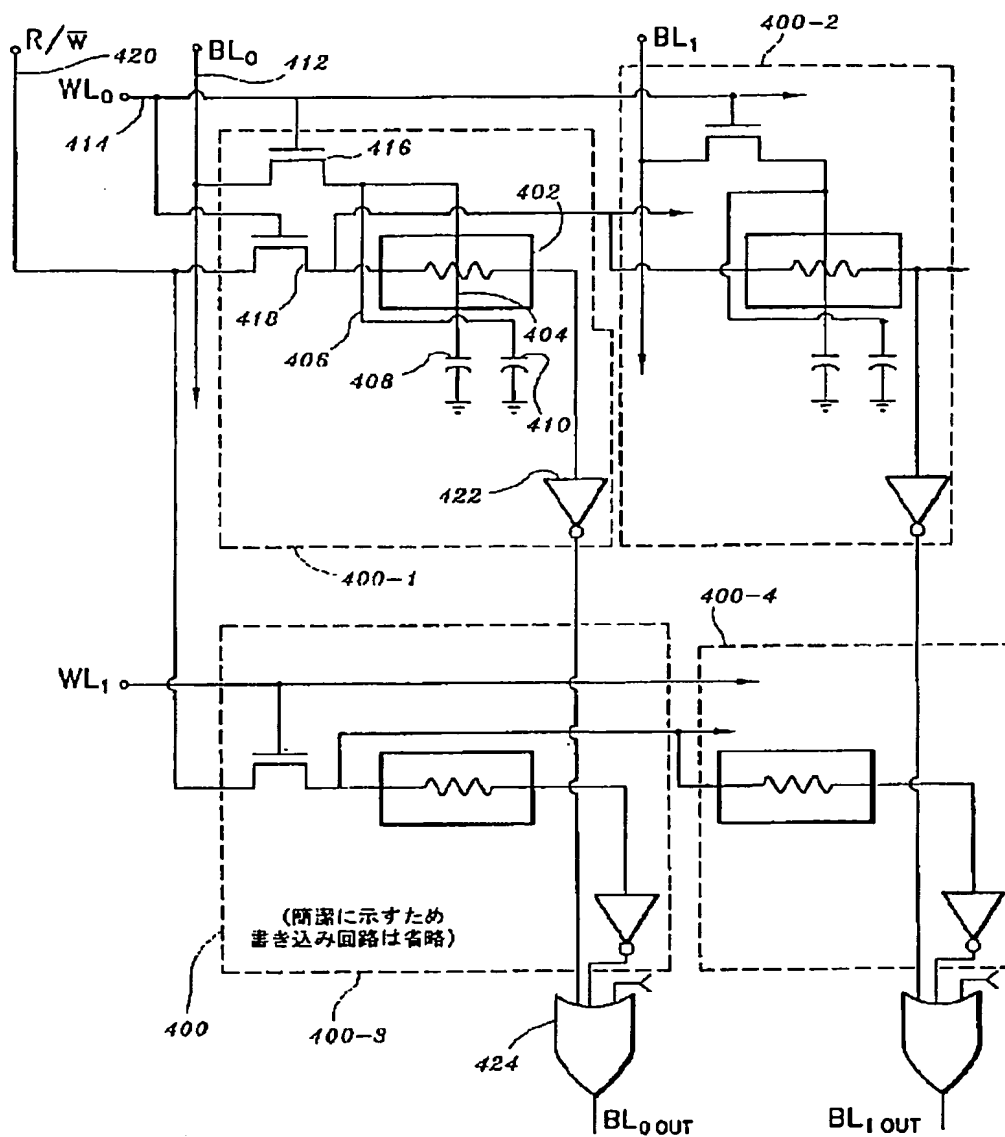
【図 4】



【図 5】

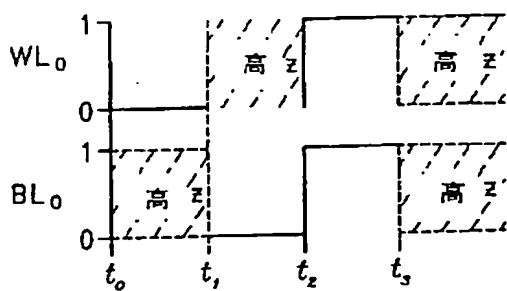


【図 6】



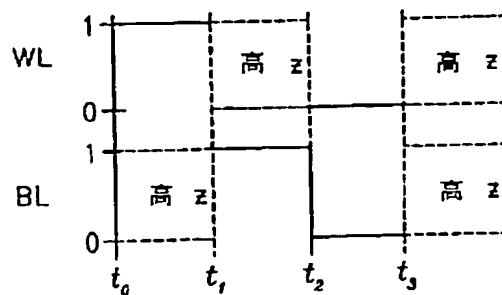
【図 10】

「1」を書き込む

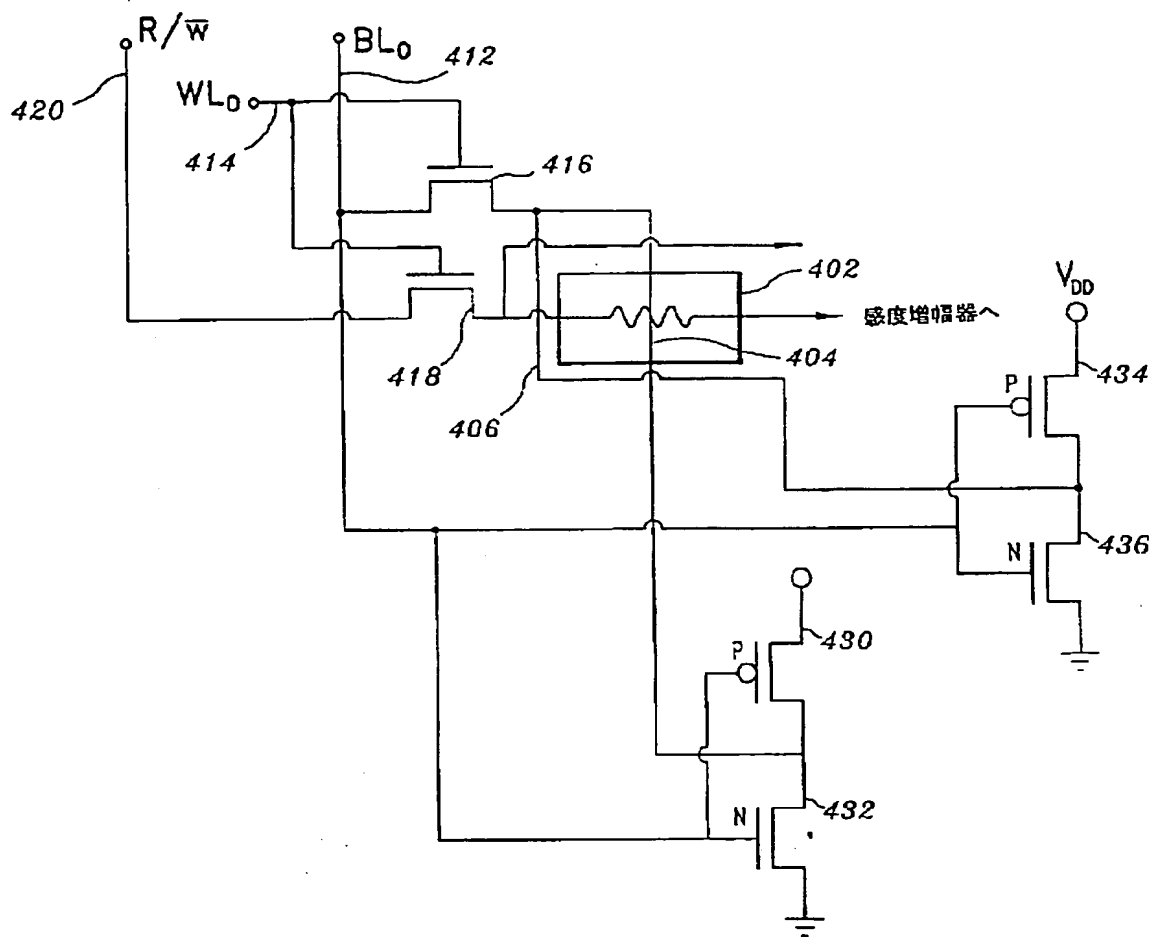


【図 11】

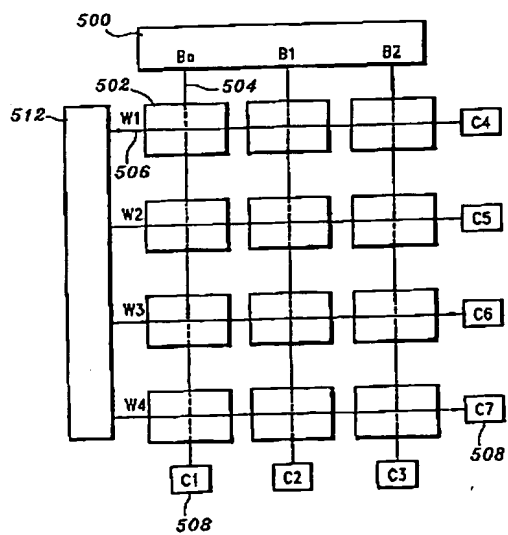
「0」を書き込む



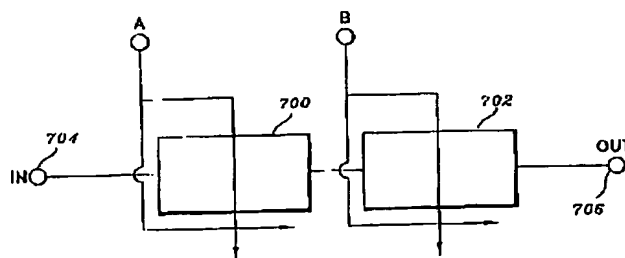
【图 7】



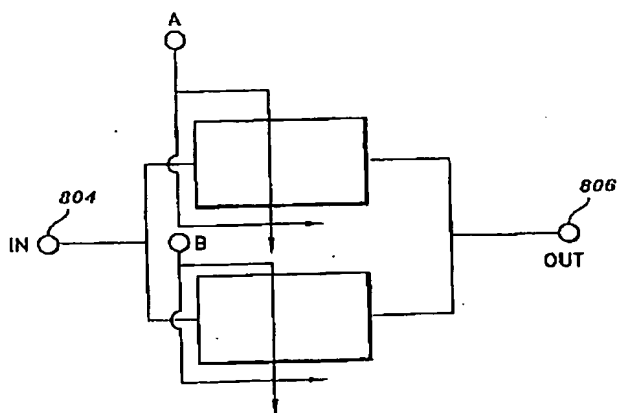
【図 8】



【図 12】



【図 13】



フロントページの続き

(72)発明者 アルナヴァ・グプタ
アメリカ合衆国10989 ニューヨーク州、
ヴァレイ・コテージ、 フラワー・レー
ン 7

(72)発明者 ラジヴィ・ヴィ・ジョシ
アメリカ合衆国10598 ニューヨーク州、
ヨークタウン・ハイツ、 パインブロッ
ク・コート 1418

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.